

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-252950

(43)Date of publication of application : 04.11.1987

(51)Int.Cl.

H01L 21/76

(21)Application number : 61-097145

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.04.1986

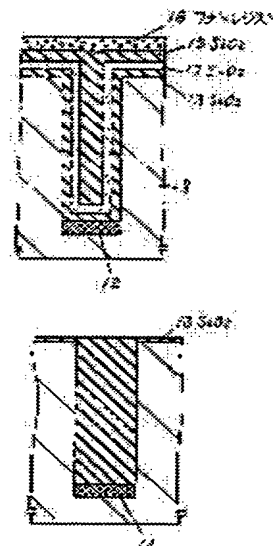
(72)Inventor : NISHIMURA HIROSHI
YONEDA TADANAKA
SAKAI HIROYUKI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To prevent the yield of a recess part on an insulating film due to wet etching, by oxidizing a polycrystalline silicon film by heat treatment, compressing the insulating film at the central part of a groove, and increasing the density of the part.

CONSTITUTION: The specified region of a semiconductor substrate 8 is removed to a specified depth, and a groove is formed. The groove is buried with a first insulating film 13, a polycrystalline semiconductor 14 and a second insulating film 15. Heat treatment is performed, and the semiconductor 14 is oxidized. Thus an oxide 17 is obtained. Parts or all of the insulating film 15, the oxide and the insulating film 13 are removed, and the substrate 8 and the upper part of the groove are flattened. Thus the yield of a recess part on the insulating film 13 due to wet etching is prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和62年(1987)11月4日

H 01 L 21/76

M-7131-5F

審査請求 未請求 発明の数 1 (全4頁)

⑰ 発明の名称 半導体集積回路の製造方法

⑱ 特 願 昭61-97145

⑲ 出 願 昭61(1986)4月25日

⑳ 発 明 者	西 村 宏	門真市大字門真1006番地	松下電器産業株式会社内
㉑ 発 明 者	米 田 忠 央	門真市大字門真1006番地	松下電器産業株式会社内
㉒ 発 明 者	坂 井 弘 之	門真市大字門真1006番地	松下電器産業株式会社内
㉓ 出 願 人	松下電器産業株式会社	門真市大字門真1006番地	
㉔ 代 理 人	弁理士 中尾 敏男	外1名	

明 細 書

1、発明の名称

半導体集積回路の製造方法

2、特許請求の範囲

半導体基板の所定の領域を所定の深さまで除去し、溝を形成する工程、前記溝を第1の絶縁膜、多結晶半導体、第2の絶縁膜にて埋める工程、熱処理を行い、前記多結晶半導体を酸化して酸化物にする工程、前記第2の絶縁膜、酸化物および前記第1の絶縁膜の一部または全部を除去して、前記基板および前記溝上部を平坦化する工程を有してなることを特徴とする半導体集積回路の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は分離深さの深い絶縁分離を得ることのできる半導体集積回路の製造方法に関するものである。

従来の技術

従来、絶縁物によって素子分離を行う方法とし

て分離形成領域の半導体基板をエッチングして溝を形成し、前記溝を絶縁物で埋める工程が提案されている。

その製造方法の一例を第2図A~Dに示す。

まずp形シリコン基板1上にSiO₂膜2を形成し、フォトリソ技術およびRIE法により分離形成領域のSiO₂膜2を除去し、シリコン基板1をエッチングして幅1μm、深さ4μmの溝3を形成する。そしてチャンネルストッパー用のボロンを溝3の底部にイオン注入して注入領域4を形成する(第2図A)。

次にSiO₂膜2を除去し、SiO₂膜5を成長させ、その上にフォトレジスト6を塗布する(第2図B)。

その後、RIE法を用いてフォトレジスト6とSiO₂膜5をエッチングしてSiO₂膜5を平坦化する(第2図C)。

次に、エッチングによるダメージを除去するために、SiO₂膜5をウェットエッチングで除去する(第2図D)。そうすると、SiO₂膜5の上部

に凹部7が生じ、その上に形成されるA₀配線の断線の原因となる。

上記工程によって、溝3はSiO₂膜5で埋められ、絶縁分離領域が形成される。

発明が解決しようとする問題点

上記工程において、ダメージ除去のためにSiO₂膜5をウエットエッチングで除去する場合、溝3の中心部でSiO₂膜の密度が小さいために、SiO₂膜5の上部に凹部が生じてしまう。これは後にA₀配線の断線の原因となる。

問題点を解決するための手段

上記問題点を解決する本発明の技術的手段は次に示すような方法である。まず、分離形成領域の半導体基板を所定の深さまで除去し、溝を形成する。そして、前記溝中に第1の絶縁膜、多結晶半導体、第2の絶縁膜を埋め、熱処理を行い多結晶半導体を酸化して酸化物にし、次に第2の絶縁膜、酸化物および第1の絶縁膜の一部又は全部を同時にエッチングし平坦化をはかり、溝上部の平坦化構造を実現するものである。

成する。さらにSiO₂膜9をマスクにして溝11の底面にホロンを注入し、注入領域12を形成する(第1図B)。

次に、CVD法により基板上に厚さ0.2~0.4μmのSiO₂膜13、厚さ0.05~0.2μmの多結晶シリコン膜14、厚さ0.4μmのSiO₂膜15を形成し、溝11を埋める(第1図C)。その後、酸化雰囲気中で熱処理を行う。例えば、950℃、6.8気圧の水蒸気中で50分間酸化する。そうすると、多結晶シリコン膜14は酸化され、SiO₂膜17になる。次に、SiO₂膜15の上にフォトリソレジスト膜16を形成する(第1図D)。

その後、ドライエッチ技術によりフォトリソレジスト膜16、SiO₂膜15、14、13を除去する。この際、SiO₂膜13は0.1~0.3μm程度残しておくのが望ましい(第1図E)。

最後にドライエッチで生じたダメージ除去のためにウエットエッチでSiO₂膜13を除去する(第1図F)。

発明の効果

作用

この技術的手段による作用は次のようになる。分離溝に埋めた多結晶半導体は、熱処理によって絶縁体となり膨張する。この膨張によって溝中央部の絶縁体が圧縮されるので上記溝中央部の密度が大きくなる。したがって、ウエットエッチングの際に凹部が生じることがなくなるので平坦化が可能となる。

実施例

以下、本発明の一実施例として絶縁分離の製造工程を第1図A~Fに示す。

まず、P形シリコン基板8の上に厚さ1μmのSiO₂膜9を形成し、その上にフォトリソレジスト膜10を形成する。そして、フォトリソ技術により分離形成領域のフォトリソレジスト膜10を除去し、さらにフォトリソレジスト膜10をマスクとして分離形成領域のSiO₂膜9を除去する(第1図A)。

次にフォトリソレジスト膜10を除去し、SiO₂膜9をマスクにしてシリコン基板8をエッチングし、深さ3~5μm、幅1.0~1.5μmの溝11を形

本発明による絶縁分離の製造方法は以上のような構成よりなるものであり、熱処理によって多結晶シリコン膜を酸化し、溝中央部のSiO₂膜を圧縮し密度を大きくすることにより、ウエットエッチでSiO₂膜上に凹部が生じるのを防止できる。このような手段による平坦化はA₀等の配線の断線を防止できる。

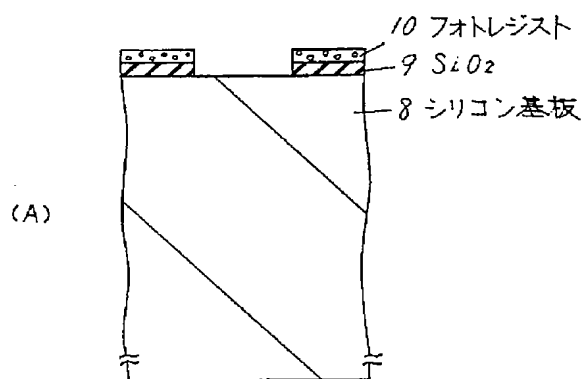
4、図面の簡単な説明

第1図は本発明の一実施例における絶縁分離の製造工程を示す断面図、第2図は従来の絶縁分離工程を示す断面図である。

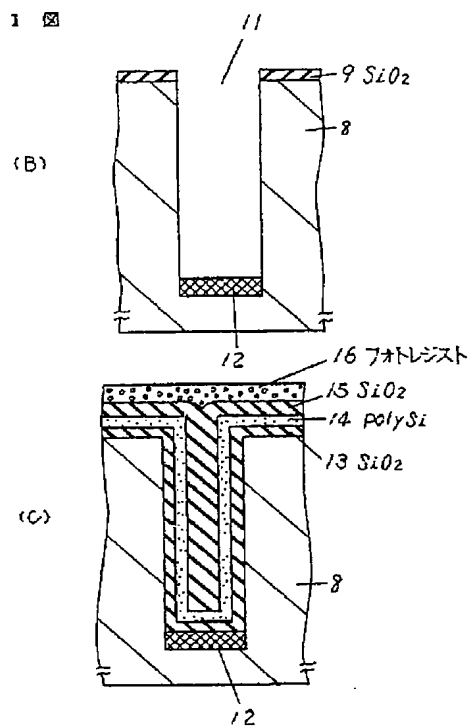
13、15、17... SiO₂膜、14...多結晶シリコン、16...フォトリソレジスト。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

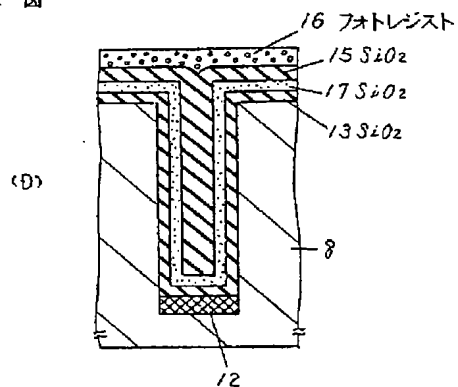
第 1 図



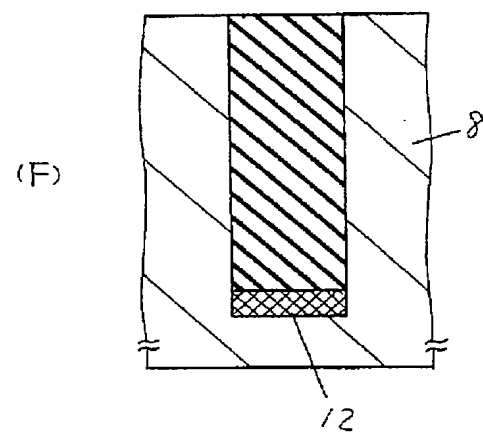
第 1 図



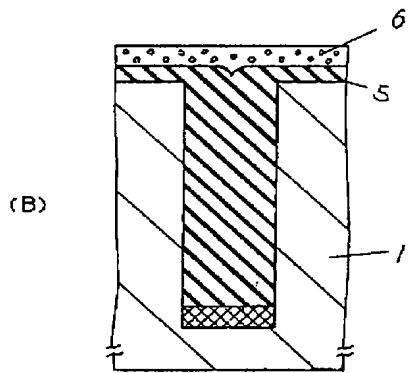
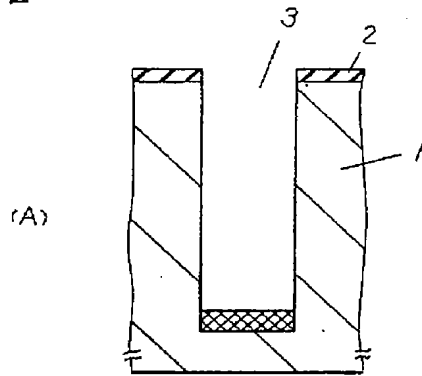
第 1 図



第 1 図



第 2 図



第 2 図

